

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199294

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G11C 29/00
G01R 31/28

(21)Application number : 09-351611

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 19.12.1997

(72)Inventor : CLINE DANNY R
POWELL THEO J
HII KUONG H

(30)Priority

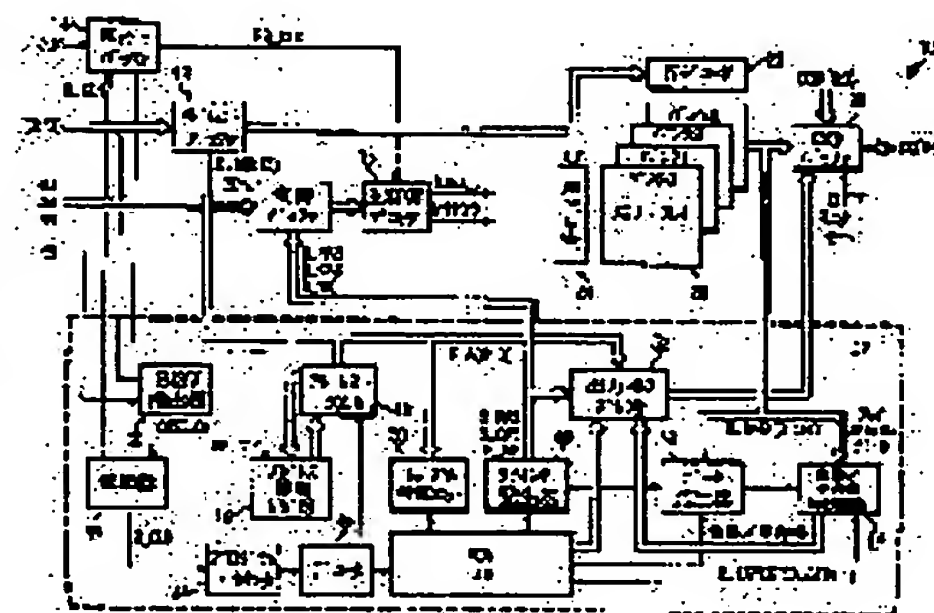
Priority number : 96 33508 Priority date : 19.12.1996 Priority country : US

(54) INTEGRATED CIRCUIT MEMORY DEVICE HAVING BUILT-IN SELF-TESTING CIRCUIT WITH MONITOR MODE AND TESTER MODE AND ITS OPERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit memory device having a self-testing monitor mode.

SOLUTION: A memory device 10 includes a memory array 26 having a plurality of memory cells and a built-in self-testing circuit 12 which is so connected as to receive a self-testing selection signal. When the memory device is in a self-tester mode, the built-in self-testing circuit 12 generates an internal self-testing signal and the memory array is operated for test. A data buffer 28 is so connected as to receive the internal self-testing signal and a monitor mode signal. When the memory device is in a monitor mode, the data buffer operates so as to connect the internal self-testing signal to the terminal of the memory device and supply the signal to the outside from the memory device. The operation of the built-in self-testing circuit can be verified by using a monitor object self-testing signal. Further, if the monitor object self-testing signal is used in the tester mode, other memory devices can be also tested.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平10-199294
(43)公開日 平成10年(1998) 7月31日

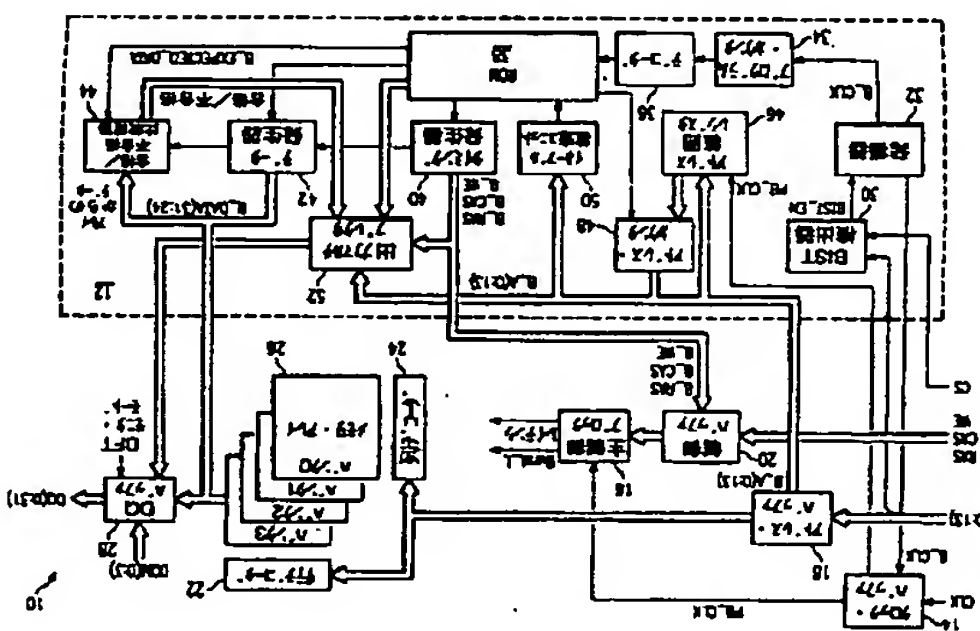
(51)IntCl. ⁴	識別記号	F I
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00
G 0 1 R 31/28		G 0 1 R 31/28
		B
		V

審査請求 未請求	請求項の数 2	O L (全 8 頁)
(21)出願番号	特願平9-351611	(71)出願人 590000879
(22)出願日	平成9年(1997)12月19日	テキサス インスツルメンツ インコーポ レイテッド
(31)優先権主張番号	0 3 3 5 0 8	アメリカ合衆国テキサス州ダラス、ノース セントラルエクスプレスウェイ 13500
(32)優先日	1996年12月19日	ダニー アール、クライン
(33)優先権主張国	米国 (US)	シンガポール国カクタス ドライブ 16, ナンバー 04-01
		(72)発明者 テオ ジェイ、パウエル
		アメリカ合衆国テキサス州ダラス、アール ポート サークル 15546
		(74)代理人 弁理士 浅村 皓 (外3名)

最終頁に続く

(54)【発明の名称】 モニタ・モードおよびテスト・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子およびその動作方法

(57)【要約】
【課題】 自己検査モニタ・モードを有する集積回路メモリ素子を提供する。
【解決手段】 メモリ素子(10)は、複数のメモリ・セルを有するメモリ・アレイ(26)、および自己検査選択信号を受け取るように接続された内蔵自己検査回路(12)を含む。メモリ素子が自己検査モードにある場合、内蔵自己検査回路は内部自己検査信号を発生しメモリ・アレイを動作させ検査するように動作する。データ・バッファ(28)が、内部自己検査信号およびモニタ・モード信号を受け取るように接続されている。メモリ素子が自己検査モニタ・モードにある場合、データ・バッファは内部自己検査信号をメモリ素子の端子に接続しメモリ素子から外部に内部自己検査信号を供給するように動作する。監視対象自己検査信号を用いて、内蔵自己検査回路の動作検証が可能である。また、監視対象自己検査信号をテスト・モードで用いると、他のメモリ素子の検査も可能となる。



【特許請求の範囲】

【請求項1】 集積回路メモリ素子であって、複数のメモリ・セルを有するメモリ・アレイであって、アレイ・アドレス信号およびアレイ制御信号に応答して、前記メモリ・セル内にデータを格納し、該メモリ・セルに格納されているデータを表すアレイ出力信号を供給するように動作可能な前記メモリ・アレイと、前記メモリ素子が自己検査モードにあるかを否かを示す自己検査選択信号を受け取るように接続されている内蔵自己検査回路であって、内部自己検査信号を発生し、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを動作させ検査するように動作可能な前記内蔵自己検査回路と、前記メモリ素子が自己検査モニタ・モードにあるかを否かを示すモニタ・モード信号と、前記メモリ素子が自己検査モニタ・モード信号を受け取るように接続されているデータ・バッファであって、前記内部自己検査信号を前記メモリ素子の端子に接続し、前記メモリ素子が自己検査モニタ・モードにある場合に、前記メモリ素子から外部に前記内部自己検査信号を供給するように動作可能な前記データ・バッファと、から成る集積回路メモリ素子。

【請求項2】 集積回路メモリ素子に内蔵自己検査回路の監視を可能とするための動作方法であって、前記メモリ素子が自己検査モニタ・モードにあることを示すモニタ・モード信号を受け取るステップと、自己検査モニタ・モードの指示にตอบสนองして、前記内蔵自己検査回路が発生した内部自己検査信号を、前記メモリ素子の端子に接続し、該端子から外部に接続し、前記内部自己検査信号を監視可能とするステップと、から成る方法。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】 本発明は、一般的に集積回路メモリ素子の分野に関し、更に特定すれば、モニタ・モードおよび検査・モードを備えた内蔵自己検査 (BIST: built-in self test) 回路を有する集積回路メモリ素子、およびかかるメモリ素子の動作方法に関するものである。

【0002】
【従来の技術】 内蔵自己検査 (BIST) 方式は、メモリ素子を含む集積回路素子の動作を検査するために用いることができる。メモリ素子では、BIST回路自体を検証するために用いられている従来の手法では、メモリ・アレイの小部分 (fraction) に対して BIST を実行し、次いでメモリ・アレイ内のデータ値をチェックするためにテストに移行することを伴う。こうして、BIST の適正な動作の検証が可能となる。加えて、BIST の動作によって発生したメモリ・アレイ内のデータのあらゆる変化も、適切な時点で BIST を中断することによって検証することができる。この BIST 検証手法

は、"A BIST Scheme Using Microprogram ROM for Large Capacity Memories" 1990 International Test Conference, 第 815 ~ 822 頁に記載されているような、従来の集積回路によって用いられている、BIST 回路を検証するための他の手法には、スキャン (scan) を用いるか、あるいはサイン (signature) に対する内部検査のためのデータを圧縮することが含まれ、後に、それぞれ予想スキャン・データまたは予想したサインと比較することができ。

【0003】

【発明が解決しようとする課題】 本発明は、集積回路メモリ素子の従来の BIST 方式の問題および欠点の大幅な減少または解消を図るものであり、モニタ・モードおよびテスト・モードを備えた内蔵自己検査 (BIST) 回路を有する集積回路メモリ素子を提供することを目的とする。

【0004】

【課題を解決するための手段】 本発明の一態様によれば、自己検査モニタ・モードを有する集積回路メモリ素子が提供される。このメモリ素子は、複数のメモリ・セルを有するメモリ・アレイを含む。メモリ素子は、更に、自己検査選択信号を受け取るように接続されている内蔵自己検査回路を含む。内蔵自己検査回路は、メモリ素子が自己検査モードにある場合には、メモリ・アレイを動作させ検査するための内部自己検査信号を発生するように動作可能である。内部自己検査信号およびモニタ・モード信号を受け取るように、データ・バッファが接続されている。データ・バッファは、メモリ素子が自己検査モニタ・モードにある場合、内部自己検査信号をメモリ素子の端子に接続し、メモリ素子から外部に内部自己検査信号を供給するように動作可能である。

【0005】 本発明の別の態様によれば、内蔵自己検査回路の監視を可能にするための、集積回路メモリ素子の動作方法が提供される。メモリ素子は、当該メモリ素子が自己検査モニタ・モードにあることを示すモニタ・モード信号を受け取る。次に、内蔵自己検査回路によって発生された内部自己検査信号は、自己検査モニタ・モードの指示にตอบสนองして、メモリ素子の端子に接続される。端子は、外部に接続し、内部自己検査信号を監視するために使用可能となっている。

【0006】 本発明の更に別の態様によれば、内蔵自己検査回路を有する他の集積回路メモリ素子を用いて、集積回路メモリ素子を検査する方法が提供される。第 1 メモリ素子内の内蔵自己検査回路が発生する内部自己検査信号は、第 1 メモリ素子の端子に接続される。第 1 メモリ素子の端子は第 2 メモリ素子の端子に接続され、第 2 メモリ素子が第 1 メモリ素子からの自己検査信号を受け取るようにしている。内蔵自己検査回路の自己検査プロセスを実行し、自己検査信号を用いて第 2 メモリ素子を検査する。次に、第 2 メモリ素子の検査結果を示す、台

格／不合格信号を発生する。

【0007】本発明の技術的利点は、集積回路メモリ素子の出力端子を多重化することによって、外部出力端子上に選択信号が得られるようにし、BIST回路内部のかかる信号を監視可能な点にある。

【0008】本発明は、テスト・モードにおいて監視対象信号を用いて、他の集積回路メモリ素子の検査を可能にするという他の技術的利点も提供する。

【0009】本発明およびその利点は、添付図面との関連において以下の説明を参照することによって、一層深く理解することができよう。尚、図面では、同様の参照番号は同様の構造を示すものとする。

【0010】

【発明の実施の形態】従来のテストによってDRAMおよびSDRAMのような集積回路メモリ素子を検査するには、通常、クロック、RAS、CAS、WE、データ、CSおよびアドレス信号のような多数の検査信号を必要とする。本発明の教示によれば、かかる信号は、内蔵自己検査(BIST)回路によって発生され、集積回路メモリ素子の出力端子上で監視することができる。これによって、他の集積回路メモリ素子を検査するためのテスト・モードでBIST回路を用いるだけでなく、BIST回路の動作の監視も可能となる。テスト・モードが可能なのは、監視対象の信号が、その他の場合には集積回路メモリ素子を検査するために用いられるのと同じ信号であるからである。本発明によれば、BIST回路を有するメモリ・チップをシステムに含ませることや、BIST回路を有するメモリ・チップにコマンドを発行し、他のシステム・メモリ・チップを検査することによって、システム・メモリを検査することも可能である。

【0011】図1は、本発明の教示による、モニタ・モードを備えた内蔵自己検査回路12を有する集積回路メモリ素子の一実施例のブロック図である。集積回路メモリ素子は、全体として10で示してある。通常動作モードでは、メモリ素子10は、外部クロックや、アドレス、RAS、CASおよびWEを含む制御信号を受け取り、従来のメモリ・アレイと同様に機能する。しかしながら、内蔵自己検査モニタ・モードでは、BIST回路12がメモリ素子10の出力端子にある監視検査信号を供給するように動作可能となる。モニタ・モードの間、検査信号は出力端子(DQ0:31)と多重化し、BISTモニタ・モード選択信号を用いてこれらを選択することによって、メモリ素子10から出力される。図2は、外部入力カ(10)端子にインターフェースする従来のDQバッファの前に配したマルチプレクサ回路の一実施例を示す。メモリ素子10が通常モードにある場合、通常DQイネーブル信号は論理高であり、DQバッファは内部メモリ・アレイに接続されている。メモリ素子10がBISTモニタ・モードにある場合、通常DQイネーブル信号は論理低であり、DQバッファはBIST回路12内

適切な検査アルゴリズムを実行可能とする。

【0014】更に、BIST回路12は、多重化信号をDQバッファ28に供給する出力マルチプレクサ52も含む。出力マルチプレクサ52は、BIST回路12からの監視対象信号をDQバッファ28に供給するように動作し、これらの信号を監視すると共にメモリ素子10外部で使用できるようにする。出力マルチプレクサ52が図示の実施例で使用されるのは、BIST回路12内部で監視可能な信号の数が、DQバッファ28からの使用可能な出力端子の数を上回るからである。使用可能な出力端子が多い場合、出力マルチプレクサ52は不要であることは理解されよう。かかる場合、BIST回路12内の全てのキー信号は、メモリ素子10の別個の端子において監視および供給が可能となる。

【0015】図2は、本発明の教示によるDQバッファ28の一実施例を示す。図示のように、DQバッファ28は、セレクト回路60および通常のDQバッファ62を含む。通常のDQバッファ62は多重化信号DQM(0:3)を受け取り、出力端子に出力信号DQ(0:31)を発生する。セレクト回路60は、バス・ゲート64、反転器66、バス・ゲート68、および反転器70を含む。バス・ゲート64は、メモリ・アレイ26および通常のDQバッファ62間でデータを伝達する。図示のように、バス・ゲート64は、通常DQイネーブル信号NORMAL DQ ENABLEに基づいて、オンまたはオフに切り替えられる。同様に、バス・ゲート68も、図示のように、モニタ・モード選択信号DFT MONITOR MODEによって、オンまたはオフに切り替えられる。バス・ゲート68は、BIST回路12および通常のDQバッファ62間で情報を伝達する。図示の実施例では、BIST回路12からの出力は、出力マルチプレクサ52によって受け取られる。図示のように、監視対象信号は、アドレス信号、RAS、CAS、WE、CLK、データ、合格／不合格、および終了信号を含むことができる。メモリ素子10の動作の間、通常モードまたはモニタ・モードが選択可能であるが、双方を選択することはできない。

【0016】図3は、本発明の教示による、テスト・モードを備えたBIST回路を有する集積回路メモリ素子の一実施例のブロック図である。図3に示すように、第1メモリ素子80はBIST回路を含む。メモリ素子80は、図示のように、検査信号RAS、CAS、WE、アドレス・データ、ライト・データ、および予測データを提供する。これらの信号は、図1および図2に関して説明したように、BIST回路内部からの監視対象信号である。第2メモリ素子82は、メモリ素子80によって検査されるメモリ素子であり、BIST回路は不要である。メモリ素子82は、メモリ素子80から検査信号を受け取り、これらの信号に基づいて検査される。【0017】次に、メモリ素子82からの出力データが、偶数データ比較器84および奇数データ比較器86

に供給され、出力データを予測データと比較する。次に、信号NIおよびN2がメモリ素子80に返送される。すると、メモリ素子80は、メモリ素子82が合格したか否かを合格／不合格信号PASS-FAILを供給する。図3の実施例によれば、RAS、CAS、WE、およびクロック信号は波形であり、制御信号およびADDR0-ADDR13信号は、メモリ素子80内のBIST回路からのメモリ・アドレス信号である。ライト・データ信号WRITEDATAおよびWRITEDATA1は、検査のためにメモリ素子82に書き込まれるデータである。2つのデータ値があるので、奇数メモリ・セルおよび偶数メモリ・セル間の交替パターンを用いることができる。偶数データ比較器84は、偶数出力端子について、メモリ素子82からのデータ値と予測値とを比較する比較器である。奇数データ比較器86は、奇数出力端子について、メモリ素子82からのデータ値と予測値とを比較する比較器である。信号NI、N2は、それぞれ、偶数および奇数検査結果であり、メモリ素子80の別の端子に入力される。メモリ素子80はこの結果を組み合わせ、メモリ素子82に対する合格／不合格結果を出力する。あるいは、NIおよびN2を組み合わせた結果は、メモリ素子80外部で組み合わせることも可能である。

【0018】図4は、本発明の教示による、複数のシステム・メモリ・チップを検査するために用いられる、テスト・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子の一実施例のブロック図である。図示のように、メモリ素子90は、先に論じたような、内蔵自己検査回路を有する。テスト・モードにある場合、メモリ素子90は、複数のシステム・メモリ素子92を検査するために用いることができる。システム・メモリ素子92は内蔵自己検査回路を有する必要がある。メモリ選択シケンサ93を用いて、現在検査中のいずれかのメモリ素子92に対して、メモリ素子90およびメモリ素子92に選択信号を供給することができる。【0019】マルチプレクサ94、96、98は、メモリ検査ユニット100が、メモリ素子90からの監視対象信号を選択的に、検査対象のメモリ素子92に接続できるようにする。メモリ検査ユニット100は、通常のクロック、アドレス信号およびデータ、ならびにメモリ素子90から到達するこれらと同じ信号間で選択を行う。次に、偶数データ比較器102および奇数データ比較器104が、検査対象のメモリ素子92からのデータを予測データと比較し、メモリ素子90に結果を示す信号を供給する。次に、メモリ素子90は、検査対象のメモリに関する合格／不合格信号を供給する。図4の実施例は、内蔵自己検査回路を有するメモリ素子90をシステム内に埋め込み、自己検査コマンドに応答してメモリ素子90が他のメモリ素子92を検査できるようにしたものである。メモリ選択シケンサ93は、検査対象のメモリ素子92を選択し、各メモリ素子92上で選択値

号CSを用いて1つの素子を選択する。メモリ選択シークンサ93は、どのメモリ素子92が、メモリ素子90からのテストデータおよび比較器102、104への出力データを使用すべきかについて制御を行う。

【0020】以上、本発明について詳細に説明したが、特許請求の範囲によって規定される本発明の精神および範囲から逸脱することなく、種々の変更、代用および改造が本発明には可能であることは理解されよう。

【0021】以上の説明に関して、更に以下の項を開示する。

(1) 集積回路メモリ素子であって、複数のメモリ・セルを有するメモリ・アレイであって、アレイ・アドレス番号およびアレイ制御番号に応答して、前記メモリ・セル内にデータを読出し、該メモリ・セルに格納されているデータを読出すアレイ出力番号を供給するように動作可能な前記メモリ・アレイと、前記メモリ素子が自己検査モードにあるか否かを示す自己検査選択番号を受け取るように接続されている内蔵自己検査回路であって、内部自己検査番号を発生し、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを動作させ検査するように動作可能な前記内蔵自己検査回路と、前記内部自己検査番号と、前記メモリ素子が自己検査モード・モードにあるか否かを示すモニタ・モード番号とを受け取るように接続されているデータ・バッファであって、前記内部自己検査番号を前記メモリ素子の端子に接続し、前記メモリ素子が自己検査モニタ・モードにある場合に、前記メモリ素子が自己検査モニタ・モード番号と、前記メモリ素子が自己検査モニタ・モードにあるか否かを示すモニタ・モード番号とを供給するように動作可能な前記データ・バッファと、から成る集積回路メモリ素子。

(2) 前記メモリ素子から外部に供給される前記内部自己検査番号は、テストに接続され、前記内蔵自己検査回路の動作を検証する第1項記載の集積回路メモリ素子。

(3) 前記メモリ素子から外部に供給される前記内部自己検査番号は、第2メモリ素子に接続され、前記第2メモリ素子の動作を検証する第1項記載の集積回路メモリ素子。

(4) 前記データ・バッファは、前記内部自己検査番号を前記メモリ素子のデータ端子に接続するように動作可能である第1項記載の集積回路メモリ素子。

(5) 前記自己検査番号は、内部メモリ・アドレス番号、制御番号、およびデータ番号、ならびに内部合格/不合格番号を含む、前記内部メモリ・アドレス番号、制御番号、およびデータ番号は、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを動作させるために用い、前記内部合格/不合格番号は自己検査の結果を示す、第1項記載の集積回路メモリ素子。

(6) 前記内蔵自己検査回路は、前記内部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号を受け取るように接続された出力マルチプレクサを備えており、前記出力マルチプレクサは、前記内

部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号の一部を選択し、前記メモリ素子のデータ・バッファに接続するように動作可能である、第5項記載の集積回路メモリ素子。

【0022】(7) 集積回路メモリ素子に内蔵自己検査回路の監視を可能とするための動作方法であって、前記メモリ素子が自己検査モニタ・モードにあることを示すモニタ・モード番号を受け取るステップと、自己検査モニタ・モードの指示に応答して、前記内蔵自己検査回路が発生した内部自己検査番号を、前記メモリ素子の端子に接続し、該端子から外部に接続し、前記内部自己検査番号を監視可能とするステップと、から成る方法。

(8) 前記メモリ素子の端子をテストに接続し、前記監視された内部自己検査番号に基づいて、前記内蔵自己検査回路の動作を検証するステップを更に含む第7項記載の方法。

(9) 前記接続するステップは、前記内部自己検査番号を前記メモリ素子のデータ端子に接続するステップを含む第7項記載の方法。

(10) 前記内部自己検査番号は、内部メモリ・アドレス番号、制御番号、およびデータ番号、ならびに内部合格/不合格番号を含む、前記内部メモリ・アドレス番号、制御番号、およびデータ番号は、前記メモリ素子が自己検査モードにある場合に、メモリ・アレイを動作させるために用い、前記内部合格/不合格番号は自己検査の結果を示す、第7項記載の方法。

(11) 前記接続するステップは、前記内部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号の一部を前記メモリ素子の前記端子に接続するステップを含む第9項記載の方法。

【0023】(12) 内蔵自己検査回路を有する他の集積回路メモリ素子を用いて集積回路メモリ素子を検査する方法であって、第1メモリ素子内の内蔵自己検査回路によって発生された内部自己検査番号を、前記第1メモリ素子の端子に接続するステップと、前記第1メモリ素子の前記端子を第2メモリ素子の端子に接続することによって、前記第2メモリ素子が前記第1メモリ素子から前記自己検査番号を受け取るステップと、前記内蔵自己検査回路の自己検査プロセスを実行し、前記自己検査番号を用いて前記第2メモリ素子を検査するステップと、前記第2メモリ素子を検査した結果を示す合格/不合格番号を供給するステップと、から成ることを特徴とする方法。

(13) 前記自己検査プロセスを実行するステップは、前記第2メモリ素子にデータを書き込むステップと、前記第2メモリ素子からデータを読み出すステップと、前記第2メモリから読み出した前記データを予測データと比較するステップと、から成る第12項記載の方法。

(14) 前記比較するステップは、前記第1メモリ素子の外部において行われる第13項記載の方法。

(15) 前記比較するステップは、前記第1メモリ素子内部において行われる第13項記載の方法。

(16) 前記接続するステップ、前記接続するステップ、前記実行するステップ、および前記供給するステップを繰り返す行い、複数のシステム・メモリ素子を検査する第12項記載の方法。

(17) 前記接続するステップ、前記接続するステップ、前記実行するステップ、および前記供給するステップは、システム・メモリ検査プロセスの制御の下で行われる第16項記載の方法。

(18) 前記第2メモリ素子は内蔵自己検査回路を有する第12項記載の方法。

【0024】(19) 自己検査モニタ・モードを有する集積回路メモリ素子10を提供する。メモリ素子10は、複数のメモリ・セルを有するメモリ・アレイ26を含む。メモリ素子10は、更に、自己検査選択番号を受け取るように接続された内蔵自己検査回路12も含む。内蔵自己検査回路12は、メモリ素子10が自己検査モードにある場合に、内部自己検査番号を発生しメモリ・アレイ26を動作させ検査するように動作可能である。データ・バッファ28が、内部自己検査番号およびモニタ・モード番号を受け取るように接続されている。データ・バッファ28は、メモリ素子10が自己検査モニタ・モードにある場合に、内部自己検査番号をメモリ素子10の端子に接続し、メモリ素子10から外部に内部自己検査番号を供給するように動作可能である。監視対象自己検査番号を用いて、内蔵自己検査回路12の動作検証が可能である。また、監視対象自己検査番号をテスト・モードで用いると、他のメモリ素子の検査も可能となる。

【図面の簡単な説明】

【図1】本発明の教示による、モニタ・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

【図2】本発明の教示による、モニタ・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

【図3】本発明の教示による、テスト・モードを備えた内蔵自己検査回路を有する集積回路メモリ・チップの一実施例のブロック図。

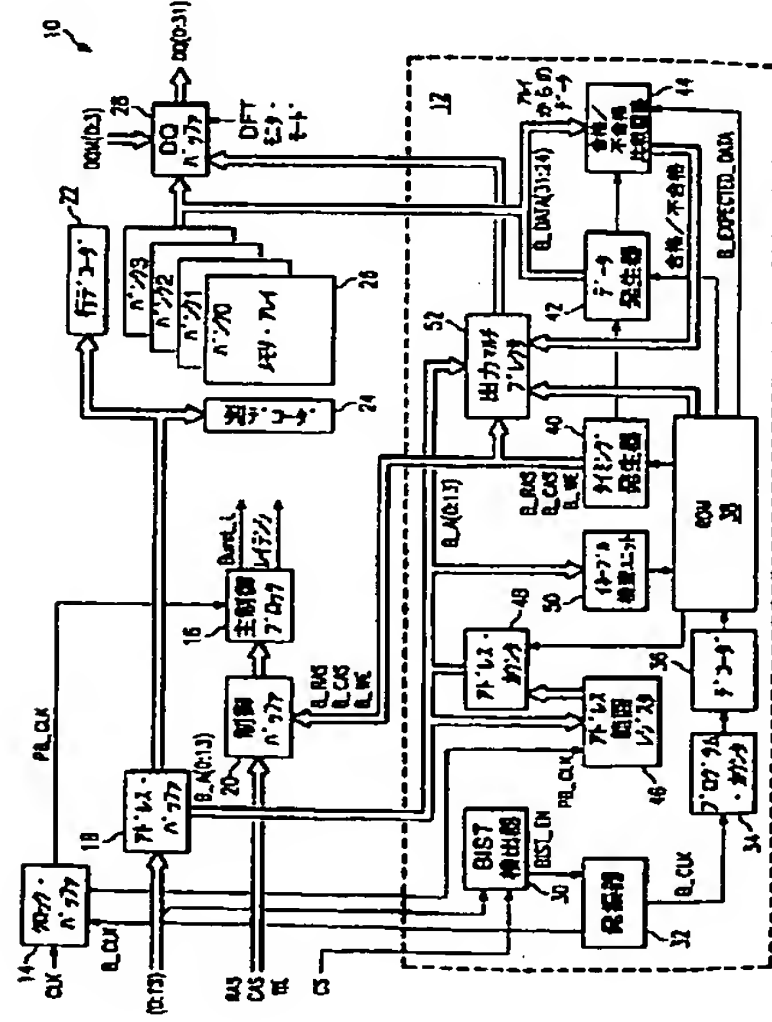
【図4】本発明の教示による、複数のシステム・メモリ・チップを検査する際に用いるテスト・モードを備えた

内蔵自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

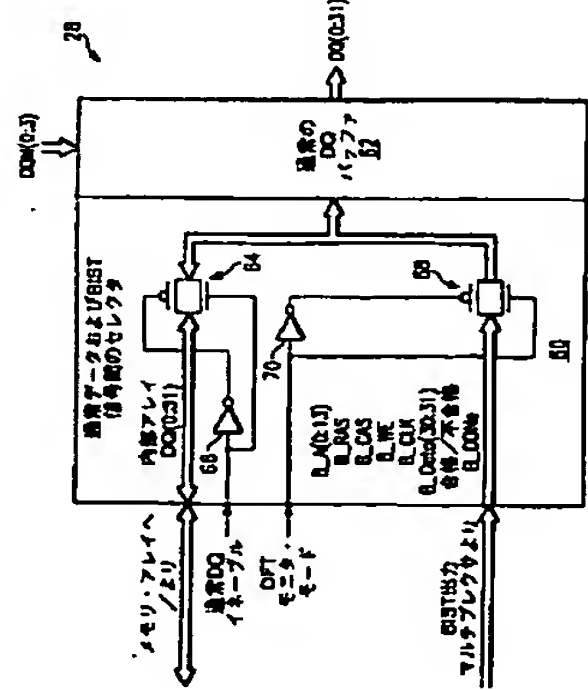
【符号の説明】

- 10 集積回路メモリ素子
- 12 内蔵自己検査回路
- 14 クロック・バッファ
- 16 主制御ブロック
- 18 アドレス・バッファ
- 20 制御バッファ
- 22 行デコーダ
- 24 列デコーダ
- 26 メモリ・アレイ
- 28 DQバッファ
- 30 BIST検出器
- 32 発振器
- 34 プログラム・カウンタ
- 36 検出器
- 38 ROM
- 40 タイミング発生器
- 42 データ発生回路
- 44 合格/不合格比較回路
- 46 アドレス範囲レジスタ
- 48 アドレス・カウンタ
- 50 イネーブル検査ユニット
- 52 出力マルチプレクサ
- 60 セレクタ回路
- 62 DQバッファ
- 64 バス・ゲート
- 66 反転器
- 68 バス・ゲート
- 70 反転器
- 80 第1メモリ素子
- 82 第2メモリ素子
- 84 偶数データ比較器
- 86 奇数データ比較器
- 90 メモリ素子
- 92 システム・メモリ素子
- 93 メモリ選択シークンサ
- 94、96、98 マルチプレクサ
- 100 メモリ検査ユニット
- 102、104 比較器

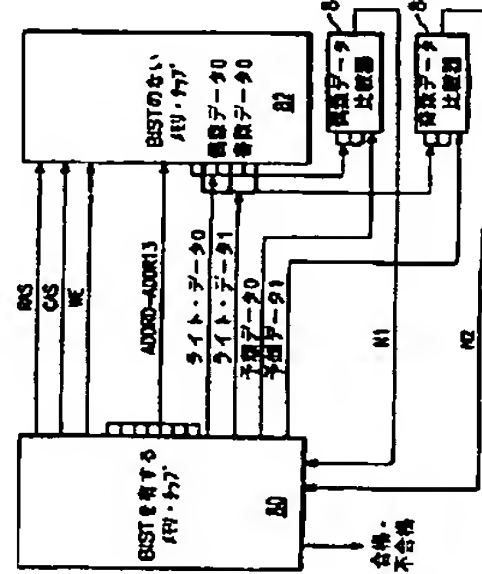
【図1】



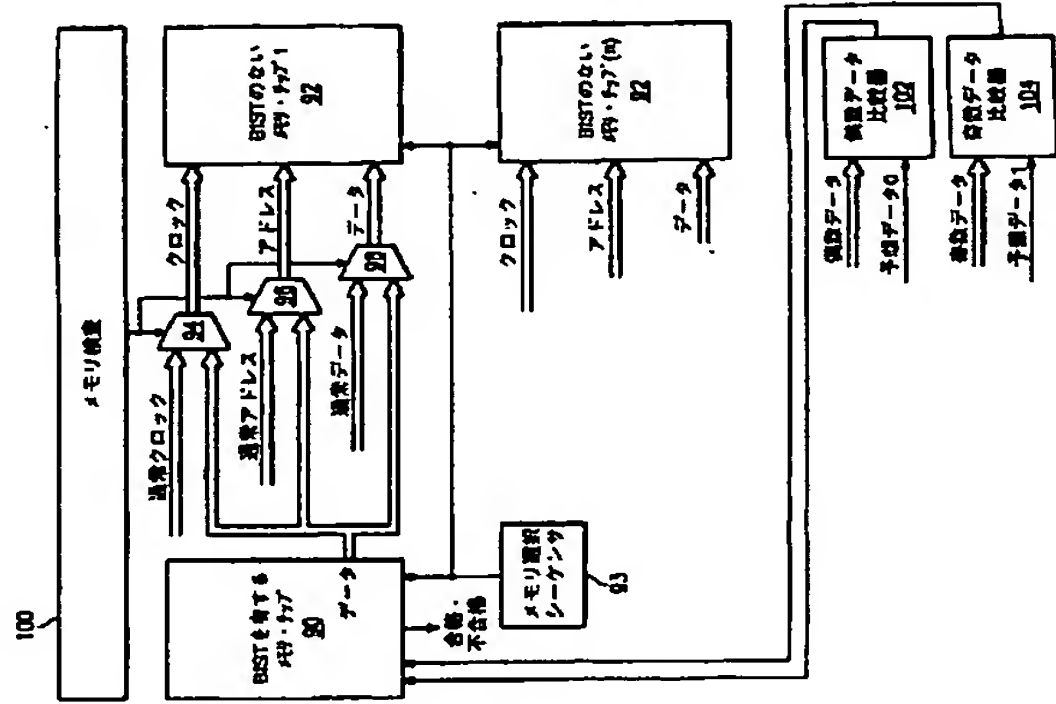
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 クオン エイチ. ヒイ
アメリカ合衆国テキサス州マーフィ、サン
セットドライブ 174